

JA 0112348
JUL 1983

(54) SEMICONDUCTOR DEVICE

(11) 58-112348 (A) (43) 4.7.1983 (19) JP

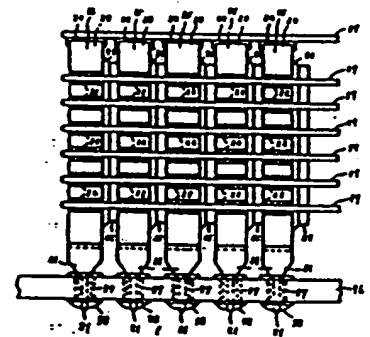
(21) Appl. No. 56-211715 (22) 25.12.1981

(71) FUJITSU K.K. (72) NOBUHIKO MIZUO

(51) Int. Cl. H01L23/12, H01L23/48

PURPOSE: To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

CONSTITUTION: In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



BEST AVAILABLE COPY

10は半導体ICチップ、11はボンディング・
パッド、12はアルミニウム(Al)等のボン
ディング・ワイヤ、13は金(Au)/シリコン
(Si)層を示している。

このように製造を有する従来のチップ・キャ
リアに実装された半導体IC装置は、計算機シス
テム等に配設される配線基板に対して底面を下に
して水平に(平面)実装される。その実装状態を示
したのが第2図で、图中14は前記チップ・キャ
リア実装構造の半導体IC装置、15はセラミッ
クスあるいはプラスチックにより形成された配線基
板、16は配線パターン、6は前記外部導電端子、17
は半田等のろう材を表わしている。

上記のように従来のチップ・キャリア実装構造
の半導体IC装置に於ては配線基板に対して平面
実装がなされるために、チップ・キャリアの平面
積によって実装密度が制限され更に実装密度を高
めることができなかった。

(4) 発明の目的

本発明は上記問題点に鑑み、配線基板に対して

チップ・キャリア23上に例えば金属キャップ26が
封着されてきている。なお前記チップ・キャ
リア23に於けるピン状外部導電端子21は、通常
構造の内部配線26aからチップ・キャリア23
の一面面に延出された外部配線27a上に鉄/ニ
ッケル合金等通常の導電材料からなる例えばピン
状打抜き加工片が銀ろう28等によりろう付けさ
れて形成され、又被覆状外部導電端子22は内部
配線26bからチップ・キャリア23の他記以外
の三側面に導出された外部配線27b上に金め
き等が施されて形成される。そして半導体メモ
リ・チップ24は通常構造のチップ・ステージ29
上に金/シリコン合金30等を介してろう付けさ
れ、例えば該半導体メモリ・チップ24のチップ
・マウント端子等チップ固有の信号が流れるベ
ッド端子31とピン状外部導電端子に接続する
内部配線26cとがアルミニウム等のボンディ
ング・ワイヤ31により接続される。又入出力端子、
電極端子等各メモリ・チップに対して共通に配
線されるベッド端子31と被覆状外部導電端子22

位置に接続することが可能を有するチップ
・キャリア実装の半導体装置を提供し、実装密度
を向上せしめることを目的とする。

(4) 発明の構成

本発明は半導体装置に於て、半導体チップが、
一外部側面にピン状の導電端子を有し他の外部側
面に被覆状の導電端子を有するチップ・キャリア
に実装されてなることを特徴とする。

(4) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実
施例について、第3図に示す上面図(4)、側面図(4、
A-A'矢視断面図4)、下面図(4)、及び第4図に
示す実装方法に於ける一実施例の上面図(4)、側面
図(4)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば
第3図(4)、(4)、(4)、(4)に示すよう、一側面に例え
ば2(本)のピン状外部導電端子21が配設され、
他の三側面に所望数の被覆状外部導電端子22が
配設されたセラミック・チップ・キャリア23内
に半導体メモリ・チップ24が実装され、該チ

ップに接続する内部配線26bとがボンディング・ワ
イヤ32により接続される。本発明の構成に於て
は、通常このようにピン状外部導電端子21をチ
ップ・セラミック端子等各メモリ装置に固有な信号
端子とし、被覆状外部導電端子22を入出力端子
或いは電極端子等各メモリ装置に対する共通信
号の端子とする。そして上記のように半導体メモ
リ・チップ24が実装されたチップ・キャリア23
上面に形成されている通常構造の閉止栓33上に
金/銅合金等のろう材34を介して金属キャップ
25が気密にろう付けされてきている。

本発明の構造を有する半導体装置は該半導体
装置に配設されたピン状外部導電端子を介して配
線基板上に立てて実装することができ。

第4図は前記実施例に示した半導体メモリ装
置の実装例を示したもので、图中21はピン状外
部導電端子(固有信号端子)、22は被覆状外
部導電端子(共通信号端子)、23はセラミック・
チップ・キャリア、25は金属キャップ、34は
ろう材、35は半導体メモリ装置、36は

第4図は前記実施例に示した半導体メモリ装置の実装例を示したもので、图中21はピン状外部導電端子(固有信号端子)、22は被覆状外部導電端子(共通信号端子)、23はセラミック・チップ・キャリア、25は金属キャップ、34はろう材、35は半導体メモリ装置、36は

26a及び26bは外部配線、28は銀
ろう、30は金/シリ
コン合金、32は
ボンディング・ワイ
ヤ、33は閉止栓、34は
ろう材、35は半導
体メモリ装置、36は

代理人 弁護士

BEST AVAILABLE COPY

本発明は、半導体素子に配線基板を形成し、配線基板に半導体素子を接続する構造を提供する。

本発明は、半導体チップが、電極を有し他の外部電極を有するチップ・キャリアと接続する。

本発明は、半導体チップに於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図4に示す一実施例の上面図(4)、側面図(5)を示す。

本発明は、例えば、半導体チップに於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図4に示す一実施例の上面図(4)、側面図(5)を示す。

本発明は、半導体チップに於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図4に示す一実施例の上面図(4)、側面図(5)を示す。

本発明は、半導体チップに於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図4に示す一実施例の上面図(4)、側面図(5)を示す。

本発明は、半導体チップに於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図4に示す一実施例の上面図(4)、側面図(5)を示す。

本発明は、半導体チップに於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図4に示す一実施例の上面図(4)、側面図(5)を示す。

本発明は、半導体チップに於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図4に示す一実施例の上面図(4)、側面図(5)を示す。

代理人 弁護士 松岡 安昭

4) 発明の効果

以上説明したように本発明の構造を有する半導体装置は、配線基板上に立てて実装することができる。そこで第4図に示すような配線基板上への実装方法が可能であり、図からも明らかなように従来の平面実装構造に比べて実装密度を大幅に向上せしめることができる。

従って本発明は計算機システム等の高速化、小型化に対して有効である。

4. 図面の簡単な説明

第1図は従来の構造の断面図(1)及び下面図(2)、第2図は従来の実装構造の断面図(3)、第3図は本発明の半導体装置に於ける一実施例の上面図(4)、側面図(5)、A-A'矢視断面図(6)、下面図(7)、第4図は本発明の半導体装置に於ける一実施例の上面図(8)及び側面図(9)である。

図に於て、21はピン状外部導電端子(固有信号端子)、22は被覆状外部導電端子(共通信号端子)、23はセラミック・チップ・キャリア、24は半導体メモリ・チップ、25は金属キャップ

図 1

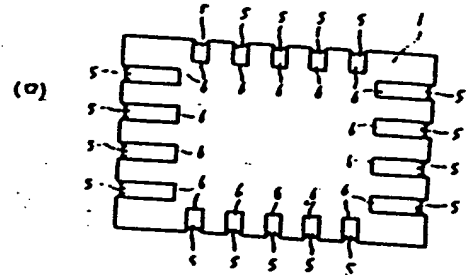
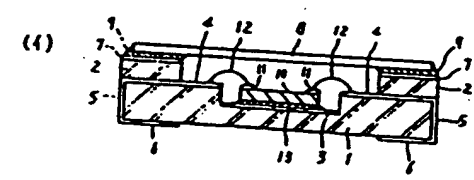
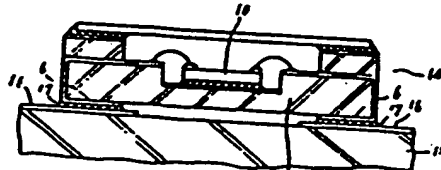
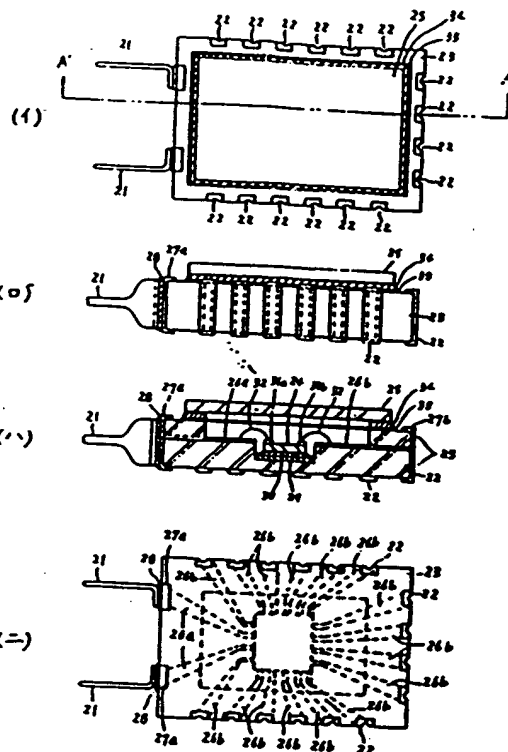


図 2





第 4 图

